

10/523447

Express Mail Label No. EV582718298US
DT05 R PCT/PTO 31 JAN 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: DONG-GYU KIM

For: THIN FILM TRANSISTOR ARRAY PANEL

CLAIM FOR PRIORITY

Mail Stop PCT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims the benefits of the filing date of July 30, 2002 to Korean Patent Application No. 10-2002-0044940 under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

If any fees are due with regard to this claim for priority, please charge them to Deposit Account No. 06-1130.

Respectfully submitted,

CANTOR COLBURN LLP

By


Jae Y. Park

Reg. No. (SEE ATTACHED)

Cantor Colburn LLP

55 Griffin Road South

Bloomfield, CT 06002

PTO Customer No. 23413

Telephone: (860) 286-2929

Fax: (860) 286-0115

Date: January 31, 2005

BEST AVAILABLE COPY

PCT/KR 02/01760

Rec'd PCT/PTO 31 JAN 2002

10/523447

REC'D 18 OCT 2002

WIPO PCT

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2002년 제 44940 호
Application Number PATENT-2002-0044940

출원 년 월 일 : 2002년 07월 30일
Date of Application JUL 30, 2002

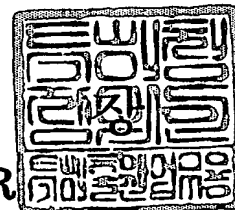
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 18 일

특 허 청

COMMISSIONER



PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.30
【발명의 명칭】	박막 트랜지스터 어레이 기판
【발명의 영문명칭】	a thin film transistor array panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	김동규
【성명의 영문표기】	KIM,DONG GYU
【주민등록번호】	630901-1162114
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167번지 523동 1305호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 인 (인) 유미특허법
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	26 면 26,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	55,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명에 따른 박막 트랜지스터 기판에는 절연 기판의 상부에 형성되어 있으며 게이트선 또는 유지 전극으로 사용되는 불투명막의 제1 배선, 제1 배선과 게이트 절연막을 사이에 두고 중첩되어 있으며, 유지 축전기용 도전체 패턴 또는 드레인 전극으로 사용되는 불투명막의 제2 배선, 제2 배선을 덮는 보호막의 상부에 형성되어 있으며 제2 절연막의 접촉 구멍을 통하여 제2 배선과 연결되어 있는 화소 전극을 포함한다. 이때, 접촉부에서 화소의 개구율을 확보하면서 누설되는 빛을 차단하기 위해 접촉부 중에서 배향 또는 러빙이 끝나는 부분에서 접촉 구멍의 변 또는 모서리 경계선과 이에 인접하고 접촉 구멍의 경계선 밖에 위치한 제1 또는 제2 배선의 경계선 사이의 간격은 다른 부분에서의 접촉 구멍 변 또는 모서리의 경계선과 이에 인접한 제1 또는 제2 배선의 경계선 사이의 간격보다 넓다.

【대표도】

도 1a

【색인어】

디스크리네이션, 광누설, 유지축전기, 유지전극, 러빙

【명세서】

【발명의 명칭】

박막 트랜지스터 어레이 기판{a thin film transistor array panel}

【도면의 간단한 설명】

도 1a는 본 발명의 실험예에 따른 액정 표시 장치용 배선의 접착부를 평면도이고,

도 1b는 도 1a에서 Ib-Ib' 선을 따라 잘라 도시한 단면도와 어두운 상태에서의 광 누설량을 나타낸 그래프이고,

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,

도 3은 도 2에서 III-III' 선을 따라 잘라 도시한 단면도이고,

도 4a, 5a, 6a 및 7a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 절단한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 배치도이고,

도 9 및 도 10은 도 8에 도시한 박막 트랜지스터 어레이 기판을 IX-IX' 선 및 X-X' 선을 따라 잘라 도시한 단면도이고,

도 11a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 11b 및 11c는 각각 도 11a에서 XIb-XIb' 선 및 XIc-XIc' 선을 따라 잘라 도시한 단면도이며,

도 12a 및 12b는 각각 도 11a에서 XIb-XIb' 선 및 XIc-XIc' 선을 따라 잘라 도시한 단면도로서, 도 11b 및 도 11c 다음 단계에서의 단면도이고,

도 13a는 도 12a 및 12b 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,

도 14a, 15a, 16a와 도 14b, 15b, 16b는 각각 도 13a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도로서 도 13b 및 13c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 17a는 도 16a 및 도 16b의 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 17b 및 17c는 각각 도 17a에서 XVIIb-XVIIb' 선 및 XVIIc-XVIIc' 선을 따라 잘라 도시한 단면도이고,

도 18은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,

도 19는 도 18에서 XIX-XIX' 선을 따라 잘라 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 박막 트랜지스터 어레이 기판에 관한 것으로 더욱 상세하게는 액정 표시 장치를 구성하는 하나의 기판으로 사용되는 박막 트랜지스터 어레이 기판에 관한 것이다

<23> 현재 널리 사용되고 있는 평판 표시 장치 중의 하나로서 액정 표시 장치는 전기장을 생성하는 다수의 전극이 형성되어 있는 두 장의 기판과 두 기판 사이에 주입되어 있는 액정층, 각각의 기판의 바깥 면에 부착되어 빛을 편광시키는 두 장의 편광판으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다. 이는 액정이 갖는 여러 가지 성질 중에서 전압을 가하면 분자의 배열이 변하는 성질을 이용한 것인데, 빛의 투과 또는 반사를 이용하는 액정 표시 장치에서 액정은 자체 발광을 하지 않아 자체적으로 또는 외부적으로 광원이 필요하다.

<24> 이때, 박막 트랜지스터 어레이 기판(thin firm transistor array panel)은 액정 표시 장치에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다. 박막 트랜지스터 어레이 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터를 통하여 배선과 연결되어 화상을 표시하는데 사용하는 화소 전극을 포함한다.

<25> 이때, 화소의 개구율을 확보하기 위해 화소 전극은 게이트선 및 데이터선과 중첩되도록 설계하며, 화소 전극과 게이트선 및 데이터선 사이에는 이들 사이에서 발생하는 기생 용량을 최소화하기 위해 낮은 유전율을 가지는 절연막을 두껍게 형성한다.

<26> 그러나, 화소 전극과 데이터 배선을 연결하기 위한 절연막의 접촉 구멍 부근에서 의도하지 않은 액정 분자의 배열 반전이 발생하고, 이로 인하여 빛이 누설되어 디스크리네이션(disclination)이 나타나 화질을 저하시키는 문제점이 발생한다. 이는 접촉부에서 절연막의 경사면을 따라 형성되는 화소 전극에 의한 전기장의 방향과 액정 분자의 배열 방향이 반대가 되어 액정 분자의 배열이 깨지기 때문이다. 물론 게이트 배선 또는 데이터 배선의 불투명막을 넓게 설계하여 누설되는 빛을 차단할 수 있지만, 이러한 경우에는 개구율을 감소하게 되며, 액정 표시 장치가 고정세화되는 경우에는 개구율을 확보하기가 더욱 어렵게 된다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자 하는 기술적 과제는 개구율을 확보하는 동시에 누설되는 빛을 최소화할 수 있는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제공하는 것이다.

【발명의 구성 및 작용】

- <28> 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판에서는 배향 또는 러빙이 끝나는 접촉부에서의 접촉 구멍 변 또는 모서리의 경계선과 이와 인접한 배선의 경계선 사이의 간격은 다른 부분의 경계선 사이의 간격보다 넓게 설계되어 있다.
- <29> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 어레이 기판에는, 절연 기판 상부에 불투명막이 형성되어 있으며, 불투명막은 접촉부에서 적어도 불투명막을 드러내며 적어도 일부의 경계선은 불투명막의 경계선 안쪽에 위치하는 접촉 구멍을 가지는 절연막으로 덮여 있다, 절연막의 상부에는 접촉 구멍을 통하여 불투명막과 연결되어 있는 도전층이 형성되어 있다. 이때, 접촉부 중 배향 또는 러빙이 끝나는 부분에서의 접촉 구멍의 변 또는 모서리 경계선과 접촉 구멍의 경계선 밖에 위치한 불투명막의 경계선 사이의 간격은 다른 부분에서의 접촉 구멍 변 또는 모서리의 경계선과 불투명막의 경계선 사이의 간격보다 넓게 설계되어 있다.
- <30> 이때, 불투명막은 제1 배선과 제1 배선과 절연되어 중첩하며 접촉 구멍을 통하여 드러난 제2 배선을 포함할 수 있으며, 제1 배선 또는 제2 배선 중 하나의 경계선은 배향 또는 러빙이 끝나는 부분에서 적어도 접촉 구멍의 경계선 밖에 위치하는 것이 바람직하다.
- <31> 제1 배선은 게이트 배선 또는 유지 배선 중 하나이며, 제2 배선은 데이터 배선 또는 유지 축전기용 도전체 패턴 중 하나이며, 도전층은 투명한 도전 물질로 이루어진 화소 전극일 수 있다.

- <32> 이때, 게이트 배선은 게이트선, 게이트선에 연결되어 있는 게이트 전극을 포함하며, 데이터 배선은 상기 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 것이 바람직하다.
- <33> 본 발명에 따른 박막 트랜지스터 어레이 기판은 게이트 배선을 덮는 게이트 절연막 및 게이트 전극과 소스 및 드레인 전극 사이의 상기 게이트 절연막 상부에 형성되어 있는 반도체층을 더 포함할 수 있으며, 소스 전극 및 드레인 전극 사이의 채널부를 제외한 반도체층은 데이터 배선과 동일한 패턴일 수 있다.
- <34> 유지 배선은 게이트 배선으로부터 분리되어 있는 유지 전극선 및 유지 전극선에 연결되어 있으며 유지 전극을 포함할 수 있으며, 유지 축전기용 도전체 패턴은 데이터 배선과 연결될 수 있다.
- <35> 절연막은 질화 규소 또는 유기 절연 물질 또는 저유전율 CVD막으로 이루어진 것이 바람직하다.
- <36> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <37> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에"

있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<38> 이제 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판에 대하여 도면을 참고로 하여 상세하게 설명한다.

<39> 도 1a는 본 발명의 실험예에 따른 액정 표시 장치용 배선의 접촉부를 평면도이고, 도 1b는 도 1a에서 Ib-Ib' 선을 따라 잘라 도시한 단면도와 어두운 상태에서의 광 누설량을 나타낸 그래프이다. 본 발명의 실험예에서는 실제 제조 공정을 통하여 완성된 액정 표시 장치에서와 동일한 조건으로 액정 표시 장치를 설계하고 어두운 상태에서의 광 누설량을 측정하였다. 이때, 액정 분자는 전기장을 인가하지 않을 때에는 두 기판 사이에 채워진 액정 분자의 장축 방향이 두 기판에 평행하게 배열되어 있으며, 한 기판에서 다른 기판에 이르기까지 나선상으로 비틀린 배열을 가지는 비틀린 네마틱 방식을 사용하였다.

<40> 도 1a 및 도 1b에서 보는 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은, 하부 절연 기판(110)의 상부에 형성되어 있는 불투명막의 제1 배선(200), 제1 배선(200)과 제1 절연막(400)을 사이에 두고 중첩되어 있는 불투명막의 제2 배선(700), 제2 배선(700)을 덮는 제2 절연막(900) 상부에 형성되어 있으며 제2 절연막(800)의 접촉 구멍을 통하여 제2 배선(700)과 연결되어 있는 제1 도전층(900)을 포함한다.

- <41> 박막 트랜지스터 기판과 평행하게 마주하는 컬러 필터 기판은, 상부 절연 기판 (210)의 상부에 형성되어 있으며, 제1 도전층(900)과 마주하여 액정 분자를 재배열 또는 구동하기 위한 전기장을 형성하는 제2 도전층(270)을 포함한다.
- <42> 여기서, 두 기판(110, 210) 사이에 주입되어 있는 액정 물질층(300)의 액정 분자는 두 도전층(900, 270)에 전원을 연결하여 액정 물질층(300)에 충분한 크기의 전기장을 형성하였을 때에는 도 1b에서 보는 바와 같이 액정층(300)의 액정 분자의 장축이 전기장의 방향과 평행하게 되어, 두 기판(110, 210)에 수직하게 배열한다. 이때, 두 기판 (110, 210)에 인접한 액정 분자들은 초기에 임의의 방향으로 액정 분자를 배향하기 위해 액정 분자를 러빙 또는 배향하기 위한 배향막(도시하지 않음)의 배향력에 의해 두 기판 (110, 210)에 대하여 임의로 각으로 배열된다.
- <43> 하지만, 제2 절연막(900)의 접촉 구멍을 통하여 제1 도전층(700)이 제2 도전층 (900)에 연결되어 있는 접촉부 중에서 배향 또는 러빙이 끝나는 부분에서는 액정 분자의 배열이 깨지며, 이로 인하여 빛이 광 누설량이 증가한다. 이는, 제1 도전층(900)이 제2 절연막(800)의 경사면을 따라 유도된 화소 전극에 의한 전기장의 방향이 액정 분자의 배열 방향과 반대가 되어 액정 분자의 배열이 깨지기 때문이다. 본 발명에서는 이렇게 접촉부에서 누설되는 빛을 차단하기 위해 제1 또는 제2 배선(200, 700)이 디스크리테이션 영역을 가리도록 형성한다. 이때, 화소의 개구율을 확보하기 위해 접촉부에서 제1 및 제2 배선(200, 700)을 최적의 조건으로 설계할 때, 최소의 면적으로 제1 및 제2 배선 (200, 700)으로 디스크리테이션 영역을 가리기 위해서는 접촉부 중에서 배향 또는 러빙 이 끝나는 부분에서 접촉 구멍의 변 또는 모서리 경계선과 이에 인접하고 접촉 구멍의 경계선 밖에 위치한 제1 또는 제2 배선(200, 700)의 경계선 사이의 간격(d, b)은 다른

부분에서의 접촉 구멍 변 또는 모서리의 경계선과 이에 인접한 제1 또는 제2 배선(200, 700)의 경계선 사이의 간격(a, c)보다 넓게 설계한다. 이렇게 하면, 화소의 개구율을 확보하기 위해 최소의 면적으로 제1 및 제2 배선(200, 700)을 설계하면서 제1 및 제2 배선(200, 700)으로 누설되는 빛을 차단할 수 있다. 여기서, 불투명막인 제1 및 제2 배선(200, 700)의 경계선 모두는 접촉 구멍의 경계선 밖에 위치하지만 두 경계선 중 하나만 접촉 구멍의 경계선 밖에 위치해도 무방하며, 배향 또는 러빙이 끝나는 접촉부에서 제1 및 제2 배선(200, 700)의 경계선 중 적어도 하나는 접촉 구멍의 경계선 밖에 위치해야 한다.

<44> 여기서, 액정 표시 장치에서 제1 배선(200)은 유지 축전기의 한 전극으로 사용되는 게이트선 또는 유지 전극일 수 있으며, 제2 배선은 유지 축전기의 다른 한 전극으로 드레인 전극 또는 유지 축전기용 도전체 패턴일 수 있으며, 제1 및 제2 도전층(900, 210)은 각각 화소 전극과 공통 전극으로 사용된다. 또한, 도 1a 및 도 1b에는 비틀린 네마틱 방식의 액정 배열에 대해서만 도시되어 있지만, 본 발명에 따른 접촉부의 구조는 양의 유전율 이방성을 가지는 액정 분자가 두 기판 면의 중심 면에 대하여 대칭이면서 기판 면에서 두 기판의 중심 면에 이르기까지 수평 배열에서 수직 배열 구조를 가지는 OCB(optically compensated bend) 방식의 액정 표시 장치에도 동일하게 적용할 수 있다. 또한 음의 유전율 이방성을 가지는 액정 분자가 두 기판에 대하여 수직으로 배열되어 있는 상태에서 전계가 충분히 인가되었을 때, 두 기판 면에서 두 기판의 중심 면에 이르기까지 수직 배열에서 수평 배열 구조를 변하는 수직 배향(vertical aligned) 방식의 액정 표시 장치에도 동일하게 적용할 수 있다.

- <45> 다음은 이러한 본 발명에 따른 접촉부를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 구체적으로 설명하기로 한다.
- <46> 먼저, 도 2 및 도 3을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.
- <47> 도 2는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 3은 도 2에 도시한 박막 트랜지스터 어레이 기판을 III-III' 선을 따라 잘라 도시한 단면도이다.
- <48> 절연 기판(110) 위에 저저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 단일막 또는 이를 포함하는 다층막으로 이루어져 있는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 또한, 게이트 배선은 이후에 형성되는 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.
- <49> 기판(110) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(140)이 게이트 배선(121, 125, 123)을 덮고 있다.
- <50> 게이트 전극(125)의 게이트 절연막(140) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(150)이 형성되어 있으며, 반도체층(150)의 상부에는 실리사이드 또는 n형

불순물이 고농도로 도핑되어 있는 n^+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(163, 165)이 각각 형성되어 있다.

<51> 저항 접촉층(163, 165) 또는 게이트 절연막(140) 위에는 알루미늄 또는 은과 같은 저저항의 도전 물질을 포함하는 도전막을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)에 연결되어 저항 접촉층(163)의 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항 접촉층(165) 상부에 형성되어 있는 드레인 전극(175)을 포함한다. 또한, 데이터 배선은 유지 용량을 향상시키기 위해 게이트선(121)과 중첩되어 있으며, 이후에 형성되는 화소 전극(190)과 전기적으로 연결되어 있는 유지 축전기용 도전체 패턴(177)을 포함할 수 있다.

<52> 데이터 배선(171, 173, 175, 177, 179) 및 이들이 가리지 않는 반도체층(150) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 $a\text{-Si}:\text{C}:\text{O}:\text{H}$ 등을 포함하는 저유전율 절연 물질의 절연막을 포함하는 보호막(180)이 형성되어 있다. 여기서, 보호막(180)은 질화 규소로 이루어진 절연막을 더 포함할 수 있으며, 이러한 경우에 절연막은 유기 절연막의 하부에 위치하여 반도체층(150)을 직접 덮는 것이 바람직하다. 또한, 게이트 패드(125) 및 데이터 패드(179)가 위치하는 패드부에서 유기 절연 물질은 완전히 제거하는 것이 바람직한데, 이러한 구조는 패드부에 게이트 패드(125) 및 데이터 패드(179)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기

판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 특히 유리하다.

<53> 보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 데이터 패드(179)를 각각 드러내는 접촉 구멍(185, 187, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)이 형성되어 있다. 이때에도 앞에서 설명한 바와 같이, 화소의 개구율을 확보하기 위해 접촉부에서 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 게이트선(121) 일부를 최적의 조건으로 설계할 때, 이들을 이용하여 최소의 면적으로 접촉부에서 발생하는 디스크리네이션 영역을 가리기 위해서는 접촉부 중에서 배향 또는 러빙이 끝나는 부분에서 접촉 구멍(185, 187)의 변 또는 모서리 경계선과 이에 인접한 드레인 전극(175)과 게이트선(121) 또는 유지 축전기용 도전체 패턴(177)의 경계선 사이의 간격(d_1 , d_2)은 다른 부분에서의 접촉 구멍 변 또는 모서리의 경계선과 이에 인접한 경계선 사이의 간격(c_1 , c_2)보다 넓게 설계한다. 이렇게 하면, 화소의 개구율을 확보하기 위해 최소의 면적으로 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 게이트선(121)을 설계하면서 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 게이트선(121)으로 접촉부에서 누설되는 빛을 차단할 수 있다.

<54> 보호막(180) 상부에는 접촉 구멍(185)을 통하여 드레인 전극(175)과 전기적으로 연결되어 있고 화소 영역에 위치하며, 투명한 도전 물질인 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 등으로 이루어진 화소 전극(190)이 형성되어 있다. 또한, 보호막(180) 위에는 접촉 구멍(182, 189)을 통하여 각각 게이트 패드(125) 및 데이터 패드(179)와 연결되어 있는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있다.

여기서, 보조 게이트 및 데이터 패드(92, 97)는 게이트 및 데이터 패드(125, 179)를 보호하기 위한 것이며, 필수적인 것은 아니다.

<55> 그러면, 도 4a 내지 도 7b 및 도 2 및 도 3을 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 구체적으로 설명하기로 한다.

<56> 먼저, 도 4a 및 도 4b에 도시한 바와 같이, 유리 기판(110) 상부에 저저항의 도전 물질인 알루미늄 또는 알루미늄 합금의 단일막 또는 이를 포함하는 다층막을 적층하고, 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선을 형성한다.

<57> 다음, 도 5a 및 도 5b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소로 이루어진 반도체층(150), 도핑된 비정질 규소층(160)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(150)과 도핑된 비정질 규소층(160)을 패터닝하여 게이트 전극(123)과 마주하는 게이트 절연막(140) 상부에 반도체층(150)과 저항 접촉층(160)을 형성한다.

<58> 다음, 도 6a 내지 도 6b에 도시한 바와 같이, 저저항을 도전 물질로 이루어진 데이터 배선용 도전막을 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(121)과 교차하는 데이터선(171), 데이터선(171)과 연결되어 게이트 전극(123) 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 포함하는 데이터 배선을 형성한다.

- <59> 이어, 데이터 배선(171, 173, 175, 177, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(150)을 노출시킨다. 이어, 노출된 반도체층(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.
- <60> 다음으로, 도 7a 및 7b에서 보는 바와 같이, 질화 규소를 적층하거나 또는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD막을 증착하여 보호막(180)을 형성한다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 패터닝하여, 게이트 패드(125), 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(182, 185, 189, 187)을 형성한다.
- <61> 다음, 도 2 및 도 3에서 보는 바와 같이, ITO와 같은 투명 도전 물질을 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 접촉 구멍(187, 185)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트 패드(125) 및 데이터 패드(179)와 각각 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)를 각각 형성한다.
- <62> 또한, 앞에서는 반도체층과 데이터 배선을 서로 다른 마스크를 이용한 사진 식각 공정으로 형성하는 제조 방법에 본 발명의 실시예를 적용하여 설명하였지만, 본 발명에 따른 배선의 제조 방법은 제조 비용을 최소화하기 위하여 반도체층과 데이터 배선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지

스터 어레이 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<63> 먼저, 도 8 내지 도 10을 참고로 하여 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<64> 도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 9 및 도 10은 각각 도 8에 도시한 박막 트랜지스터 기판을 IX-IX' 선 및 X-X' 선을 따라 잘라 도시한 단면도이다.

<65> 먼저, 절연 기판(110) 위에 은 또는 은 합금, 알루미늄 또는 알루미늄 합금 또는 크롬 또는 탄탈륨 등의 저저항의 도전 물질로 이루어진 단일막 또는 다층막으로 이루어져 있으며 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 기판(110) 상부에는 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극선(131) 및 유지 전극선(131)에 연결되어 있는 유지 전극(133)을 포함하는 유지 배선이 형성되어 있다. 유지 전극(133)은 후술할 화소 전극(190)과 연결된 유지 축전기용 도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

<66> 게이트 배선(121, 125, 123) 및 유지 배선(131, 133) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(140)이 형성되어 게이트 배선(121, 125, 123)과 유지 배선(131, 133)을 덮고 있다.

- <67> 게이트 절연막(140) 위에는 다결정 규소 또는 비정질 규소 등으로 이루어진 반도체 패턴(152, 157)이 형성되어 있으며, 반도체 패턴(152, 157) 위에는 인(P) 따위의 n형 또는 p형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층 (ohmic contact layer) 패턴 또는 중간층 패턴(163, 165, 167)이 형성되어 있다.
- <68> 저항성 접촉층 패턴(163, 165, 167) 위에는 제1 실시예와 같이 저저항을 가지는 도전 물질로 이루어진 도전막을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(171), 데이터선(171)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 그리고 데이터선(171)의 분지인 박막 트랜지스터의 소스 전극(173)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(171, 179, 173)와 분리되어 있으며 게이트 전극(123) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(173)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(175)과 유지 전극(133) 위에 위치하고 있는 유지 축전기용 도전체 패턴(177)도 포함한다. 유지 배선(131, 133)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(177) 또한 형성하지 않는다. 여기서, 유지 축전기용 도전체 패턴(177)이 드레인 전극(175)에 연결되어 있지만, 그렇지 않을 수도 있다.
- <69> 데이터 배선(171, 173, 175, 177, 179)은 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 또는 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 탄탈륨 또는 티타늄으로 이루어진 도전막을 포함할 수 있다.
- <70> 접촉층 패턴(163, 165, 167)은 그 하부의 반도체 패턴(152, 157)과 그 상부의 데이터 배선(171, 173, 175, 177, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 173, 175, 177, 179)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층

패턴(163)은 데이터선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(163)은 드레인 전극(173)과 동일하며, 유지 축전기용 중간층 패턴(167)은 유지 축전기용 도전체 패턴(177)과 동일하다.

<71> 한편, 반도체 패턴(15, 157)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(171, 173, 175, 177, 179) 및 저항성 접촉층 패턴(163, 165, 167)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(157)과 유지 축전기용 도전체 패턴(177) 및 유지 축전기용 접촉층 패턴(167)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(152)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(152)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<72> 데이터 배선(171, 173, 175, 177, 179) 및 데이터 배선으로 가리지 않는 반도체층(152) 상부에는 질화 규소 또는 산화 규소로 이루어진 절연막 또는 낮은 유전율을 가지는 유기 물질로 이루어진 유기 절연막 또는 저유전율 CVD막을 포함하는 보호막(180)이 형성되어 있다.

<73> 보호막(180)은 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(185, 189, 187)을 가지고 있으며, 또한 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)을 가지고 있다. 이때에도 제1 실시예와 같이, 화소의 개구율을 확보하기 위해 접촉부에서 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 유지 전극(133)을 최적의 조건으로 설계할 때,

이들을 이용하여 최소의 면적으로 접촉부에서 발생하는 디스크리네이션 영역을 가리기 위해서는 접촉부 중에서 배향 또는 러빙이 끝나는 부분에서 접촉 구멍(185, 187)의 변 또는 모서리 경계선과 이에 인접한 드레인 전극(175)과 유지 전극(133) 또는 유지 축전기용 도전체 패턴(177)의 경계선 사이의 간격(d_3 , d_4 , d_5)은 다른 부분에서의 접촉 구멍 변 또는 모서리의 경계선과 이에 인접한 경계선 사이의 간격(c_3 , c_4 , c_5)보다 넓게 설계한다. 이렇게 하면, 화소의 개구율을 확보하기 위해 최소의 면적으로 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 유지 전극(133)을 설계하면서 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 이와 중첩하는 유지 전극(133)으로 접촉부에서 누설되는 빛을 차단할 수 있다.

<74> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 IZO 또는 ITO 따위의 투명한 도전 물질로 이루어져 있으며 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(190)은 접촉 구멍(187)을 통하여 유지 축전기용 도전체 패턴(177)과도 연결되어 도전체 패턴(177)으로 화상 신호를 전달한다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

- <75> 그러면, 도 8 내지 도 10의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 방법에 대하여 상세하게 도 8 내지 도 10과 도 11a 내지 도 17c를 참조하여 설명하기로 한다.
- <76> 먼저, 도 11a 내지 11c에 도시한 바와 같이, 제1 실시예와 유사하게 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금의 도전 물질을 포함하는 도전막을 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선과 유지 전극선(131) 및 유지 전극(133)을 포함하는 유지 배선을 형성한다.
- <77> 다음, 도 12a 및 12b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 도핑되지 않은 비정질 규소의 반도체층(150), 도핑된 비정질 규소의 중간층(160)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착한다. 이어, 도전체층(170)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(210)을 1 μm 내지 2 μm 의 두께로 도포한다.
- <78> 그 후, 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 13b 및 13c에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(212, 214) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(173)과 드레인 전극(175) 사이에 위치한 제1 부분(214)은 데이터 배선부(A), 즉 데이터 배선(171, 173, 175, 177, 179)이 형성될 부분에 위치한 제2 부분(212)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(214)의 두께와 데이터 배선부(A)에 남아 있는 감광막(212)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조

건에 따라 다르게 하여야 하되, 제1 부분(214)의 두께를 제2 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<79> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<80> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<81> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<82> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<83> 이어, 감광막 패턴(214) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<84> 먼저, 도 14a 및 14b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 중간층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감광막 패턴(212, 214)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(212, 214)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(212, 214)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(214)의 두께를 두껍게 하여 이 과정에서 제1 부분(214)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<85> 이렇게 하면, 도 14a 및 도 14b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(178)과 유지 축전기용 도전체 패턴(177)만이 남고 기타 부분(B)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(150)이 드러난다. 이때 남은 도전체 패턴(178, 177)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 177, 173, 175, 179)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(212, 214)도 어느 정도의 두께로 식각된다.

<86> 이어, 도 15a 및 15b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제1 부분(214)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(212, 214)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF₆과 HCl의 혼합 기체나, SF₆과 O₂의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 동일한 경우 제1 부분(214)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<87> 이렇게 하면, 도 15a 및 15b에 나타낸 바와 같이, 채널부(C)의 제1 부분(214)이 제거되어 소스/드레인용 도전체 패턴(178)이 드러나고, 기타 부분(B)의 중간층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(212) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(152, 157)이 완성된다. 도면 부호 168과 167은 각각 소스/드레인용 도전체 패턴(178) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(177) 하부의 중간층 패턴을 가리킨다.

<88> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<89> 다음, 도 16a 및 16b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(178) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이 때, 식

각은 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(178)에 대해서는 습식 식각으로, 중간층 패턴(168)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(152)의 두께를 조절하기가 쉽지 않기 때문이다. 중간층 패턴(168) 및 반도체 패턴(152)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(152)을 남길 수 있다. 이때, 도 16b에 도시한 것처럼 반도체 패턴(152)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(212)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(212)이 식각되어 그 하부의 데이터 배선(171, 173, 175, 177, 179)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<90> 이렇게 하면, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 173, 175, 177, 179)과 그 하부의 접촉층 패턴(163, 165, 167)이 완성된다.

<91> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(212)을 제거한다. 그러나, 제2 부분(212)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(178)을 제거한 후 그 밑의 중간층 패턴(168)을 제거하기 전에 이루어질 수도 있다.

<92> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하

지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<93> 이와 같이 하여 데이터 배선(171, 173, 175, 177, 179)을 형성한 후, 도 17a 내지 17c에 도시한 바와 같이 제1 실시예와 같은 절연 물질을 적층하여 보호막(180)을 형성하고, 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 드레인 전극(175), 게이트 패드(125), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 각각 드러내는 접촉 구멍(185, 182, 189, 187)을 형성한다.

<94> 이어, 도 8 내지 도 10에 도시한 바와 같이, 500 Å 내지 1,000 Å 두께의 IZO 또는 ITO를 증착하고 마스크를 사용하여 식각하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결된 화소 전극(190), 게이트 패드(125)와 연결된 보조 게이트 패드(92) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성한다.

<95> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(171, 173, 175, 177, 179)과 그 하부의 접촉층 패턴(163, 165, 167) 및 반도체 패턴(152, 157)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

<96> 본 발명에 따른 접촉부의 구조는 박막 트랜지스터 어레이 위에 색 필터를 형성하는 COA(color filter on array) 구조에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

- <97> 도 18은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 19는 도 18에서 XIX-XIX' 선을 따라 잘라 도시한 단면도이다.
- <98> 대부분의 구조는 제1 실시예의 구조와 동일하다.
- <99> 하지만, 보호막(190) 하부의 화소 영역에는 드레인 전극(175)과 유지 축전기용 도전체 패턴(177)을 드러내는 개구부(C1, C2)를 가지는 적, 녹, 청의 컬러 필터(R, G, B)가 세로 방향으로 형성되어 있다. 여기서, 적, 녹, 청의 컬러 필터(R, G, B)의 경계는 데이터선(171) 상부에서 일치하여 도시되어 있지만, 데이터선(171) 상부에서 서로 중첩되어 화소 영역 사이에서 누설되는 빛을 차단하는 기능을 가질 수 있으며, 게이트 및 데이터 패드(125, 179)가 형성되어 있는 패드부에는 형성되어 있지 않다.
- <100> 청, 녹, 청의 컬러 필터(R, G, B) 상부의 보호막(180)은 게이트 절연막(140)과 함께 게이트 패드(125), 데이터 패드(179), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(182, 189, 185, 187)을 가지고 있다. 이때, 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(185, 187)은 컬러 필터(R, G, B)의 개구부(C1, C2) 안쪽에 위치한다.
- <101> 이러한 COA 구조의 액정 표시 장치용 박막 트랜지스터 기판의 구조에서도 제1 및 제2 실시예에서와 같이 동일한 효과를 얻을 수 있다.
- <102> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의

기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<103> 이와 같이, 본 발명에서는 접촉부에서 배향 또는 러빙이 끝나는 부분에서 다른 부분보다 접촉 구멍의 경계를 넓은 폭으로 중첩하도록 설계함으로써 화소의 개구율을 확보하면서 최적으로 조건으로 배선을 이용하여 누설되는 빛을 차단할 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판,

상기 절연 기판 상부에 형성되어 있는 불투명막,

상기 불투명막을 덮으며, 접촉부에서 적어도 상기 불투명막을 드러내며 적어도 일부의 경계선은 상기 불투명막의 경계선 안쪽에 위치하는 접촉 구멍을 가지는 절연막,

상기 절연막의 상부에 형성되어 있으며 상기 접촉 구멍을 통하여 상기 불투명막과 연결되어 있는 도전층을 포함하는 박막 트랜지스터 어레이 기판에 있어서,

상기 접촉부 중 배향 또는 러빙이 끝나는 부분에서의 상기 접촉 구멍의 변 또는 모서리 경계선과 상기 접촉 구멍의 경계선 밖에 위치한 상기 불투명막의 경계선 사이의 간격은 다른 부분에서의 상기 접촉 구멍 변 또는 모서리의 경계선과 상기 불투명막의 경계선 사이의 간격보다 넓은 박막 트랜지스터 어레이 기판.

【청구항 2】

제1항에서,

상기 불투명막은 제1 배선과 상기 제1 배선과 절연되어 중첩하며 상기 접촉 구멍을 통하여 드러난 제2 배선을 포함하는 박막 트랜지스터 어레이 기판.

【청구항 3】

제2항에서,

상기 제1 배선 또는 상기 제2 배선 중 하나의 경계선은 상기 배향 또는 러빙이 끝나는 부분에서 적어도 상기 접촉 구멍의 경계선 밖에 위치하는 박막 트랜지스터 어레이 기판.

【청구항 4】

제3항에서,

상기 제1 배선은 게이트 배선 또는 유지 배선 중 하나이며, 상기 제2 배선은 데이터 배선 또는 유지 축전기용 도전체 패턴 중 하나이며, 상기 도전층은 투명한 도전 물질로 이루어진 화소 전극인 박막 트랜지스터 어레이 기판.

【청구항 5】

제4항에서,

상기 게이트 배선은 게이트선, 상기 게이트선에 연결되어 있는 게이트 전극을 포함하며, 상기 데이터 배선은 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 박막 트랜지스터 어레이 기판.

【청구항 6】

제5항에서,

상기 박막 트랜지스터 어레이 기판은 상기 게이트 배선을 덮는 게이트 절연막 및 상기 게이트 전극과 상기 소스 및 드레인 전극 사이의 상기 게이트 절연막 상부에 형성되어 있는 반도체층을 더 포함하는 박막 트랜지스터 어레이 기판.

【청구항 7】

제6항에서,

상기 소스 전극 및 상기 드레인 전극 사이의 채널부를 제외한 상기 반도체층은 상기 데이터 배선과 동일한 패턴인 박막 트랜지스터 어레이 기판.

【청구항 8】

제4항에서,

상기 유지 배선은 상기 게이트 배선으로부터 분리되어 있는 유지 전극선 및 상기 유지 전극선에 연결되어 있으며 유지 전극을 포함하는 박막 트랜지스터 어레이 기판.

【청구항 9】

제8항에서,

상기 유지 축전기용 도전체 패턴은 상기 데이터 배선과 연결되어 있는 박막 트랜지스터 어레이 기판.

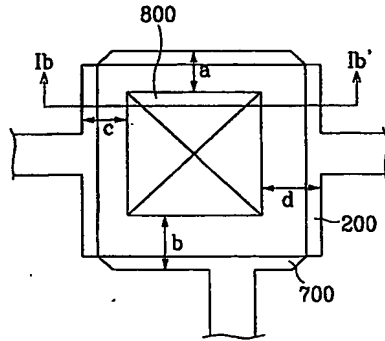
【청구항 10】

제1항에서,

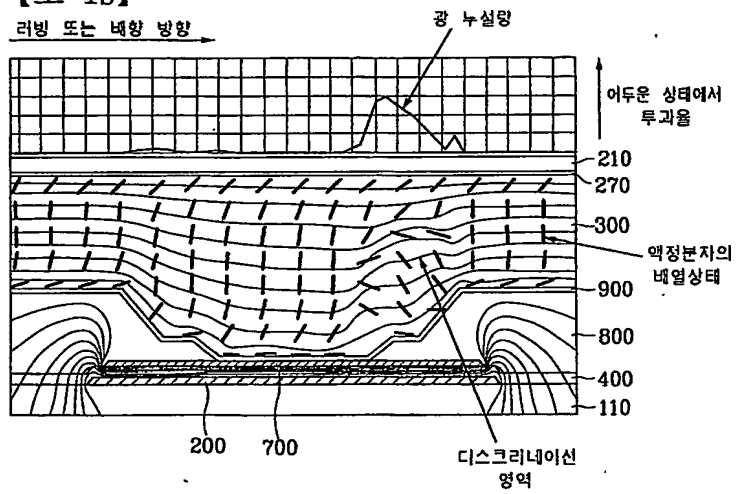
상기 절연막은 질화 규소 또는 유기 절연 물질 또는 저유전율 CVD막으로 이루어진 박막 트랜지스터 어레이 기판.

【도면】

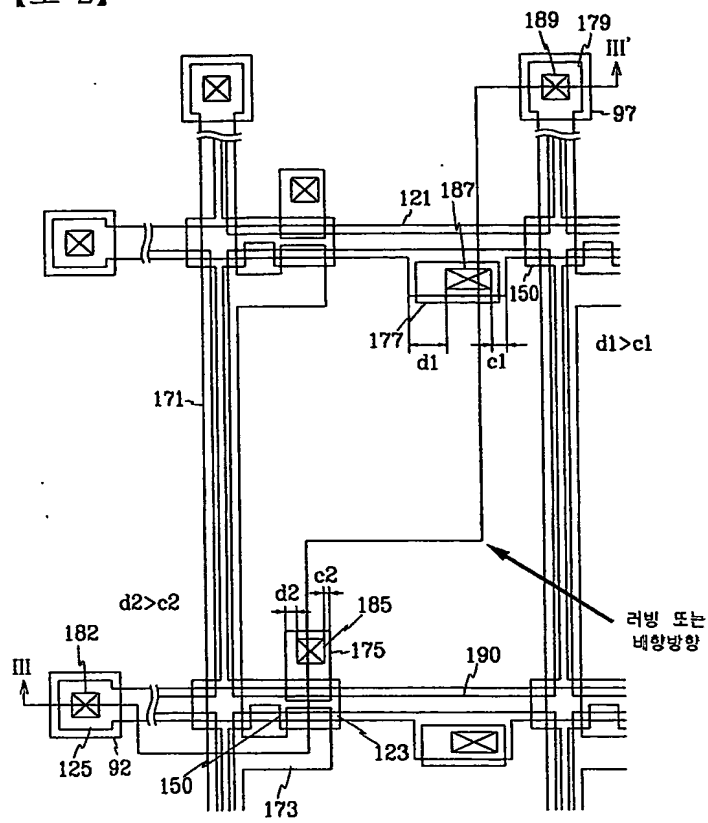
【도 1a】



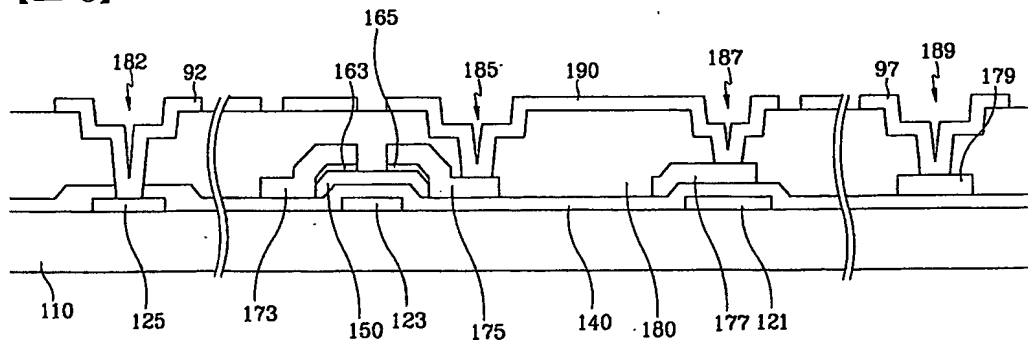
【도 1b】



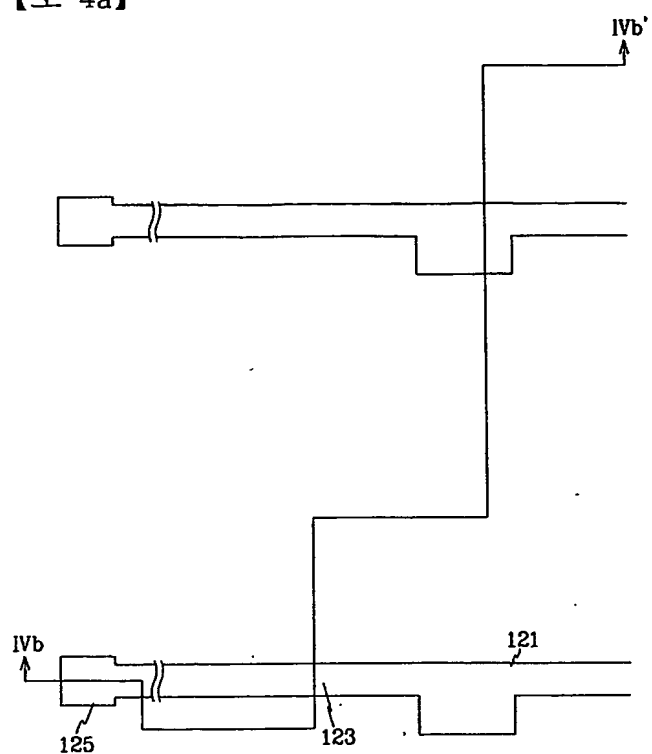
【도 2】



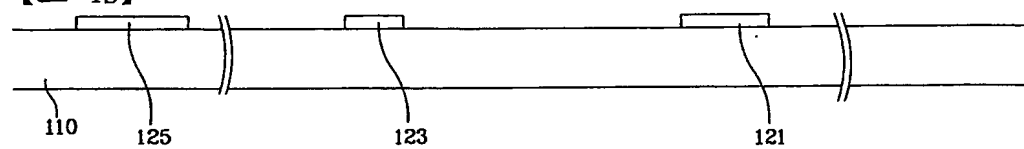
【도 3】



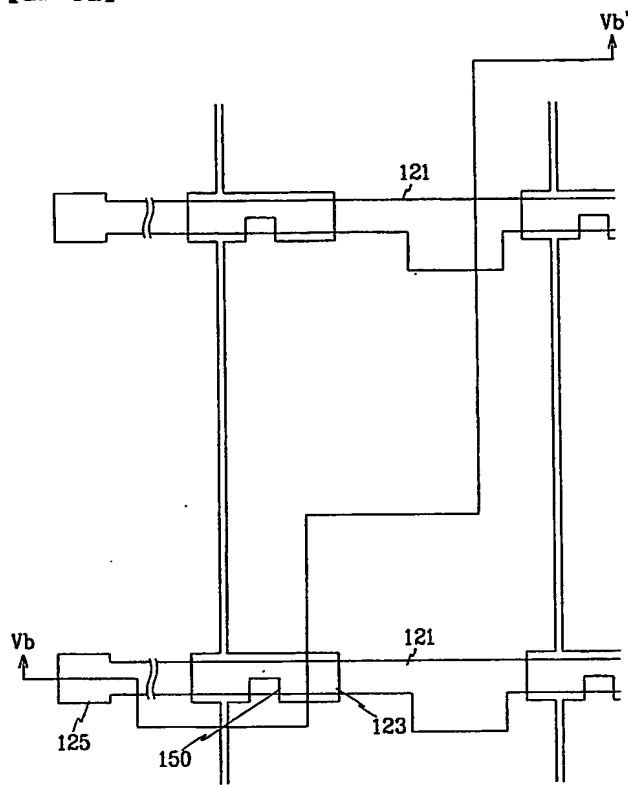
【도 4a】



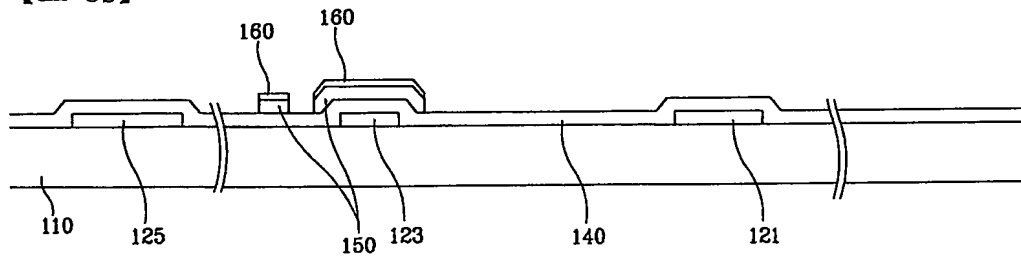
【도 4b】



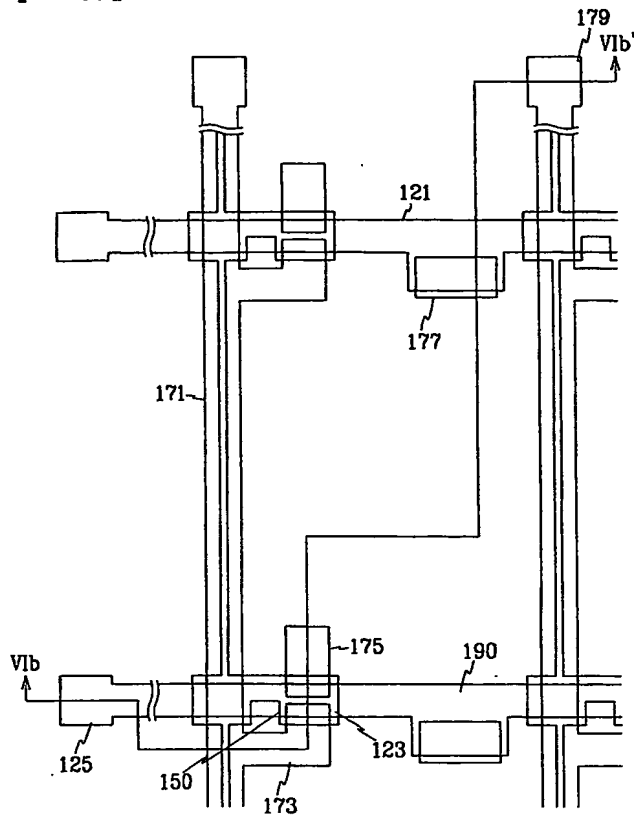
【도 5a】



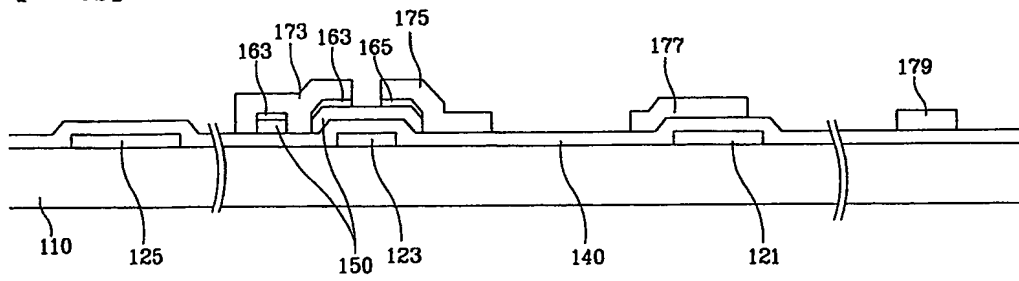
【도 5b】



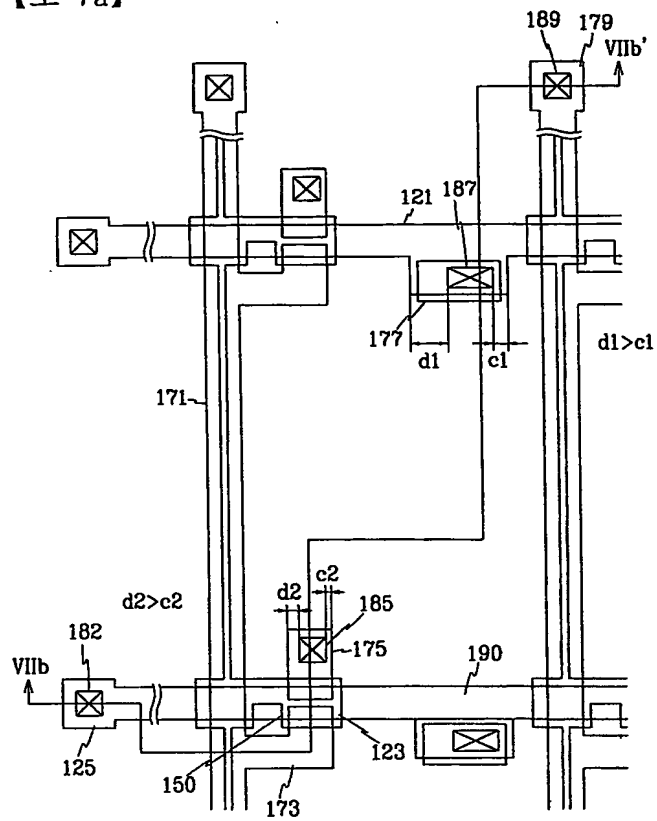
【도 6a】



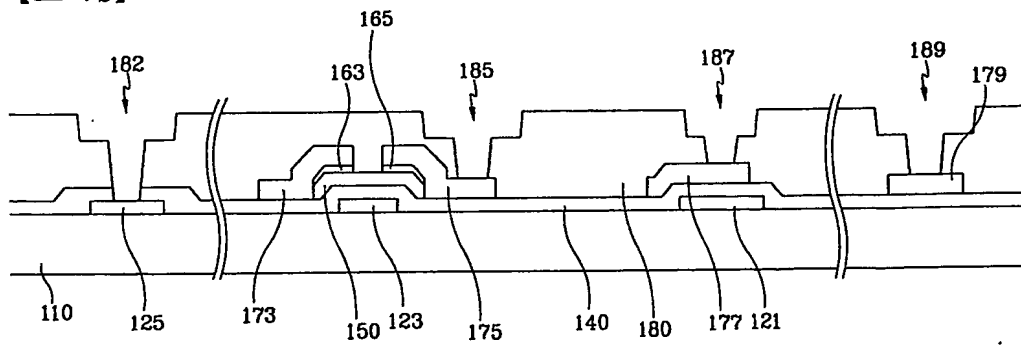
【도 6b】



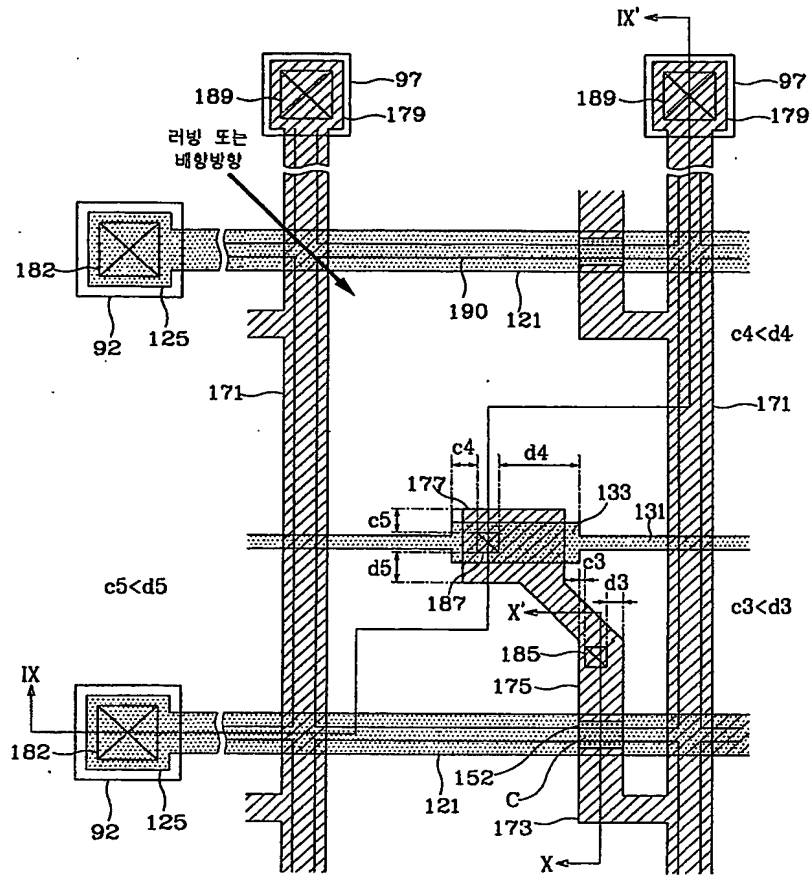
【도 7a】



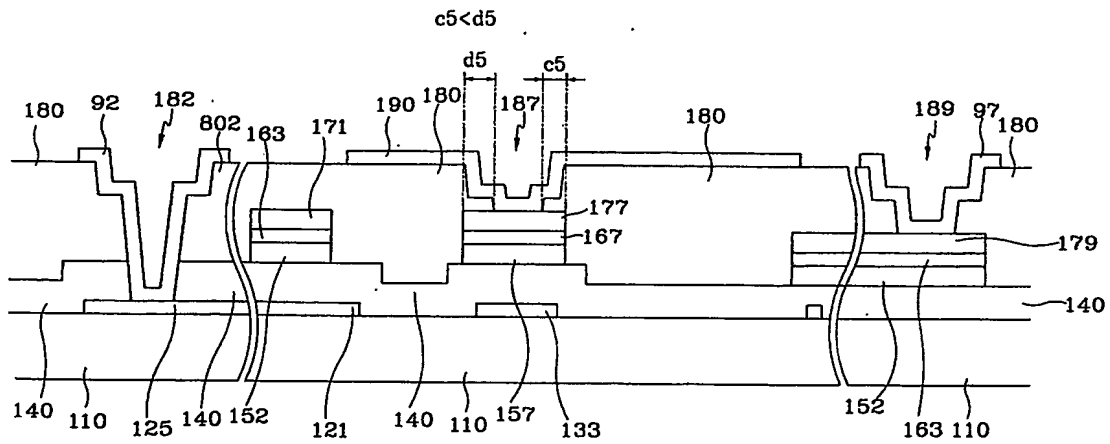
【도 7b】



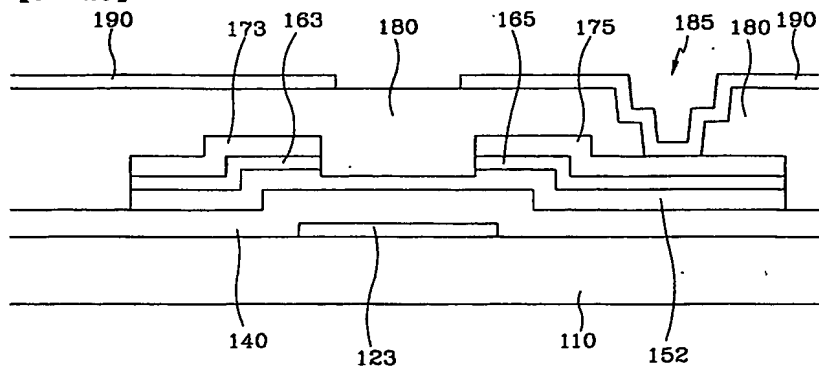
【도 8】



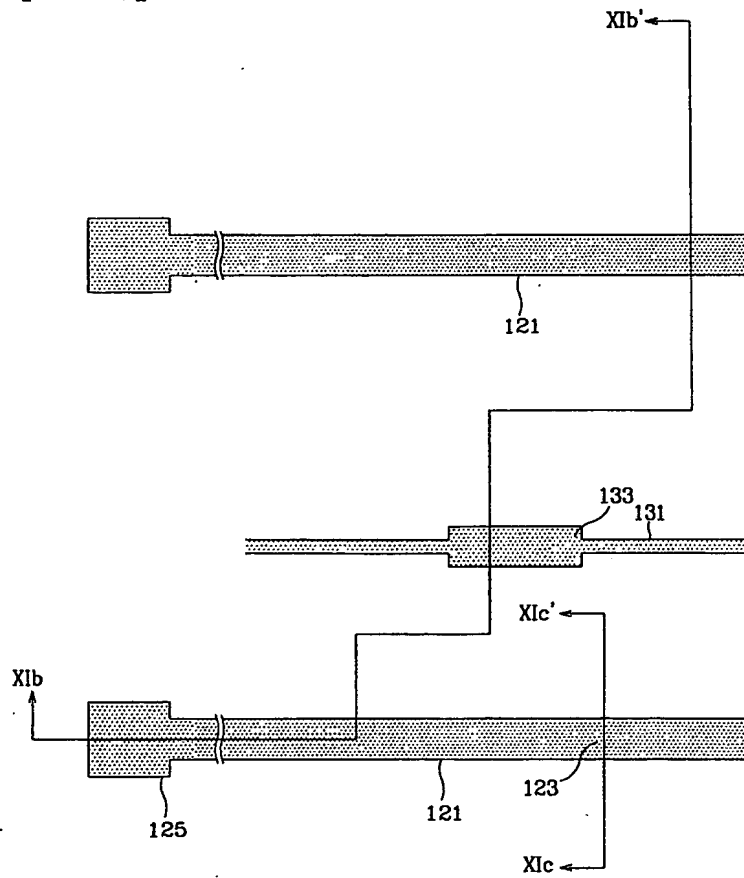
【도 9】



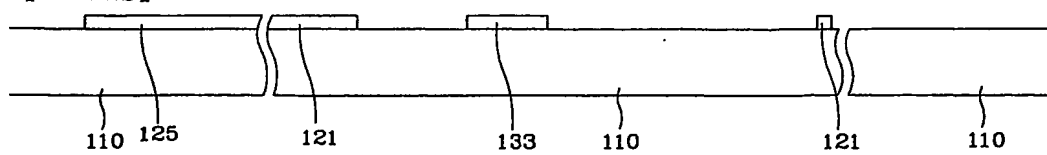
【도 10】



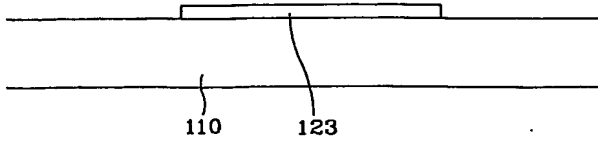
【도 11a】



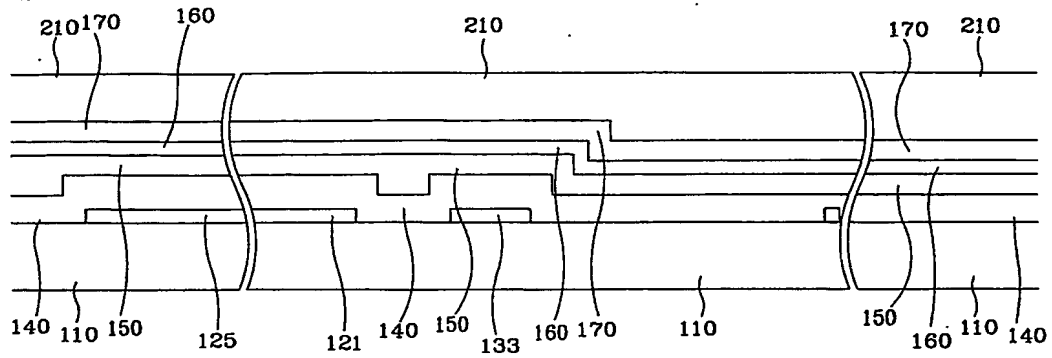
【도 11b】



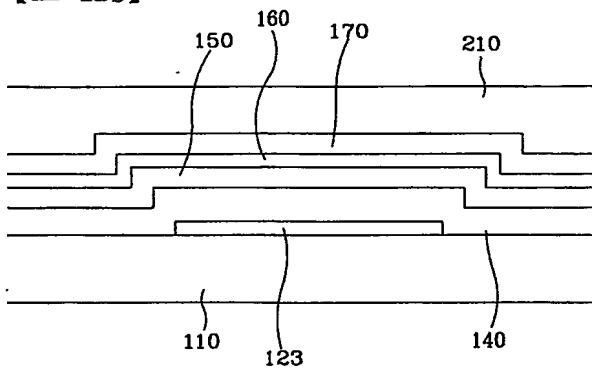
【도 11c】



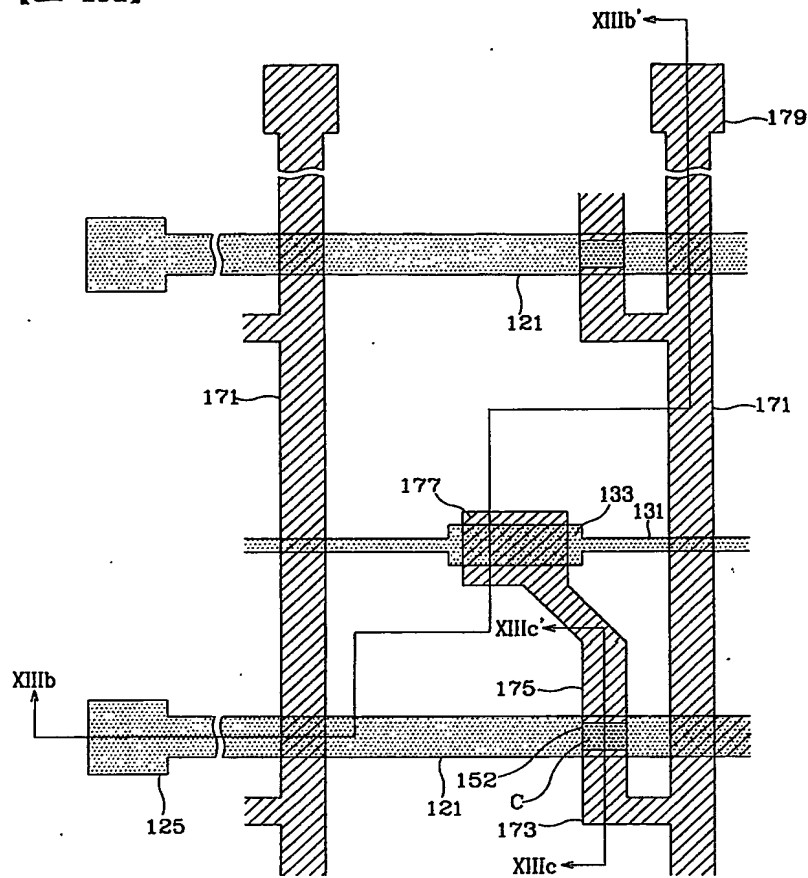
【도 12a】



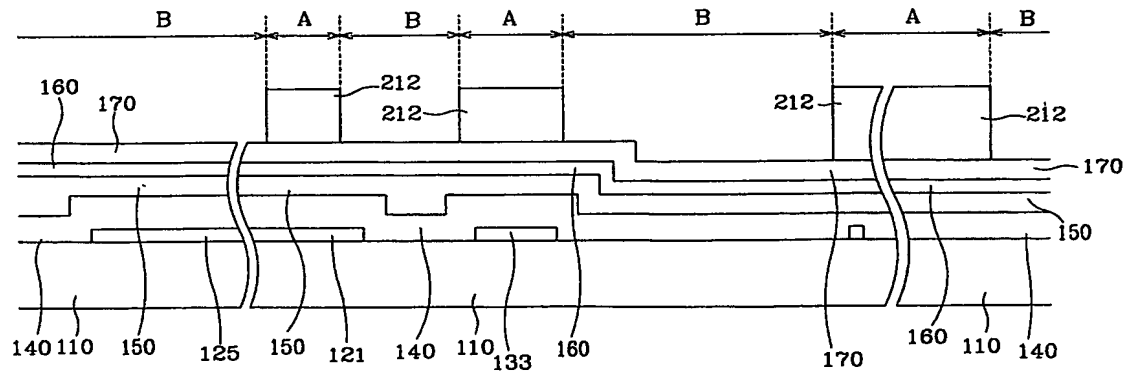
【도 12b】



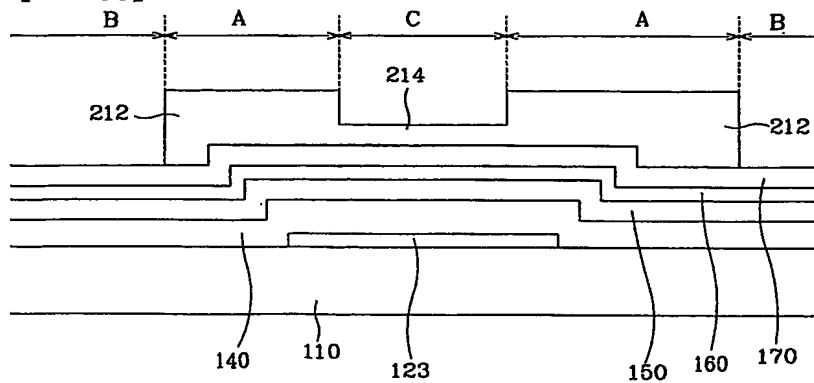
【도 13a】



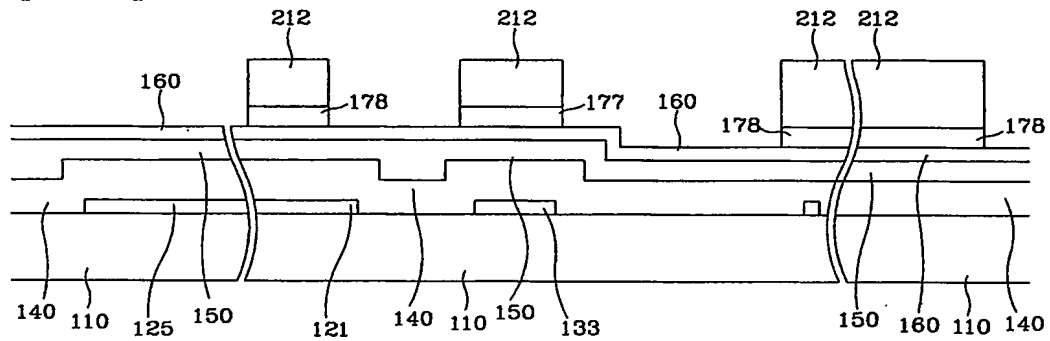
【도 13b】



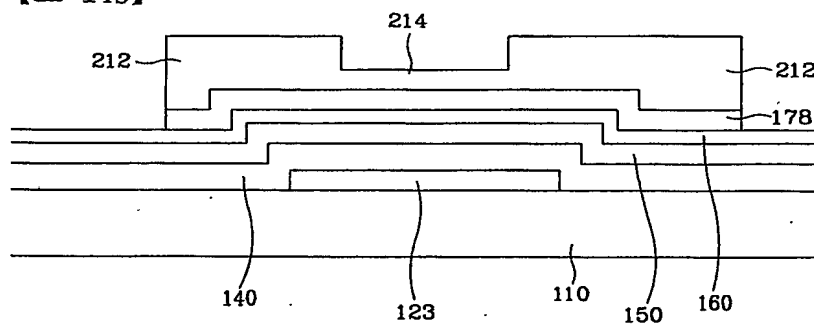
【도 13c】



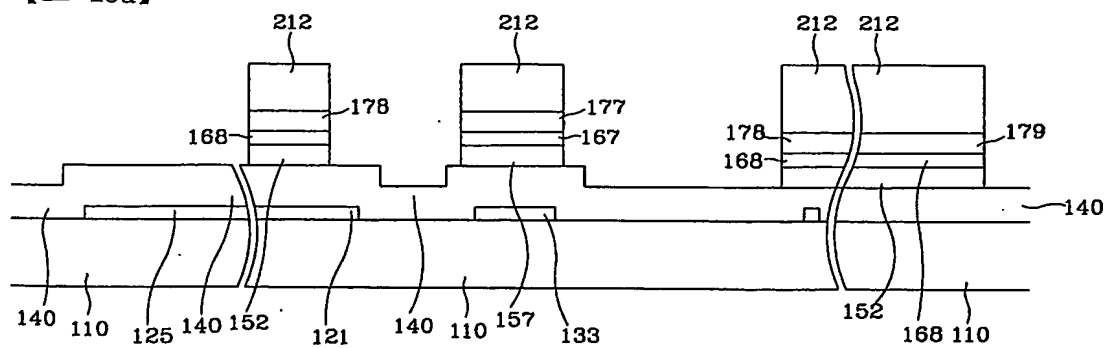
【도 14a】



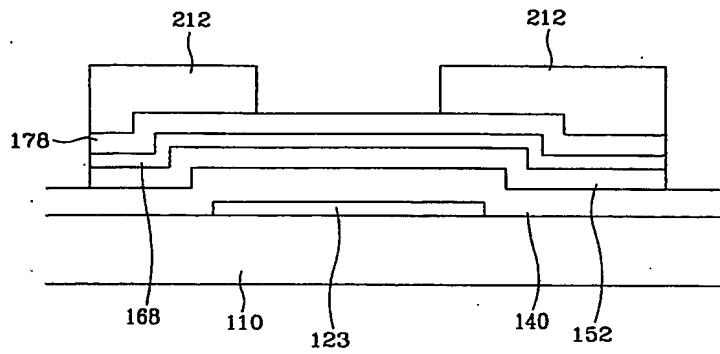
【도 14b】



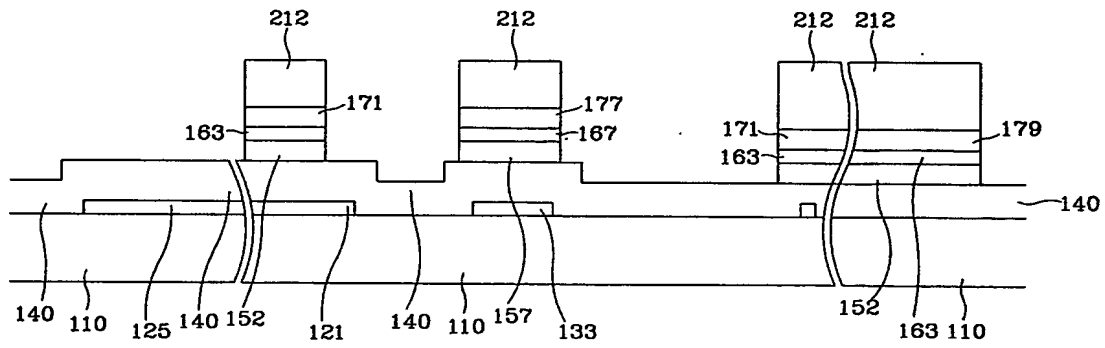
【도 15a】



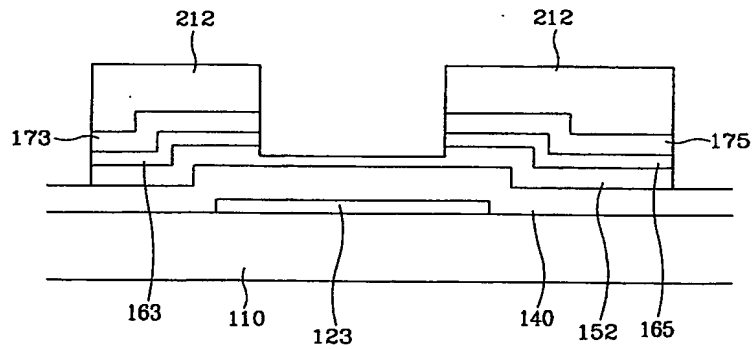
【도 15b】



【도 16a】



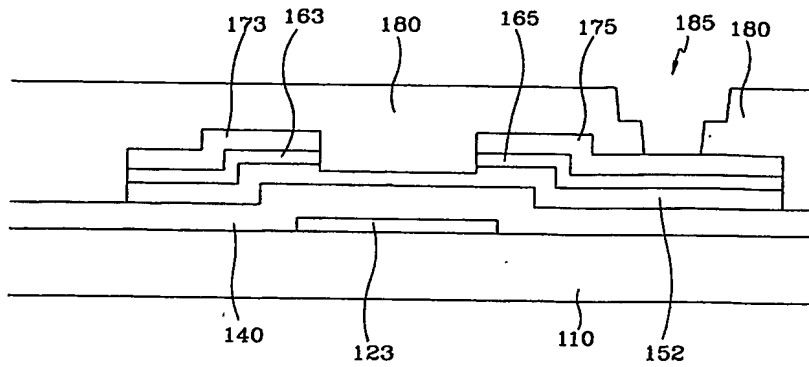
【도 16b】



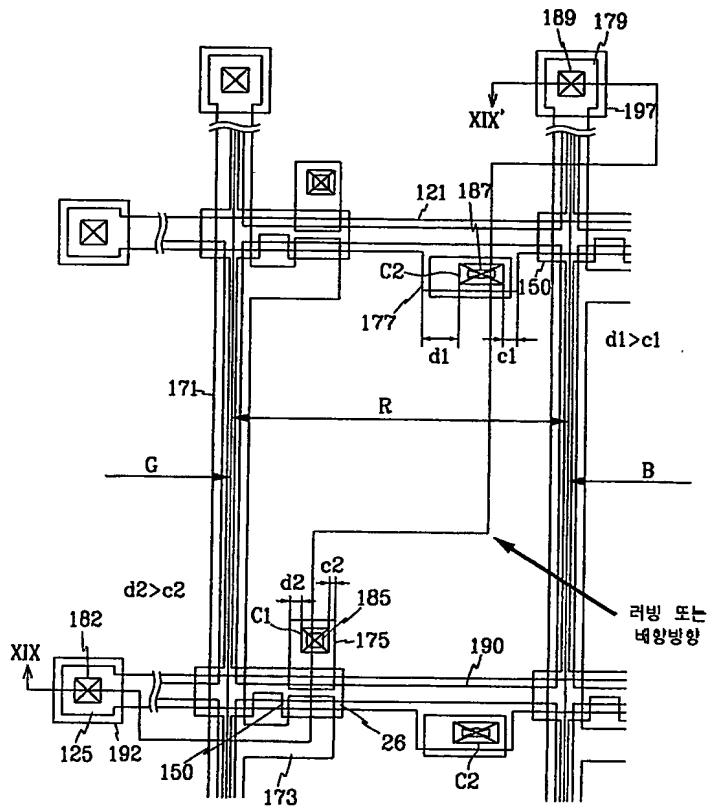
[illegible]

This cross-sectional view shows a central raised portion of the device. The top surface is labeled 180. A central vertical feature is labeled 187, with a width dimension $c5$ and a height dimension $d5$. To the left of this feature is a structure labeled 171, which is part of a larger assembly including 163 and 802. Below these, a layer labeled 167 is shown, with a sub-layer 177 above it. The base of the device consists of a substrate 140 with various layers: 110, 125, 140, 152, 121, 140, 110, 157, and 133. On the right side, there is another structure labeled 179, with a layer 163 below it. The rightmost part of the device is labeled 189 and 180. A dimension $c5$ is also indicated for a feature on the right side.

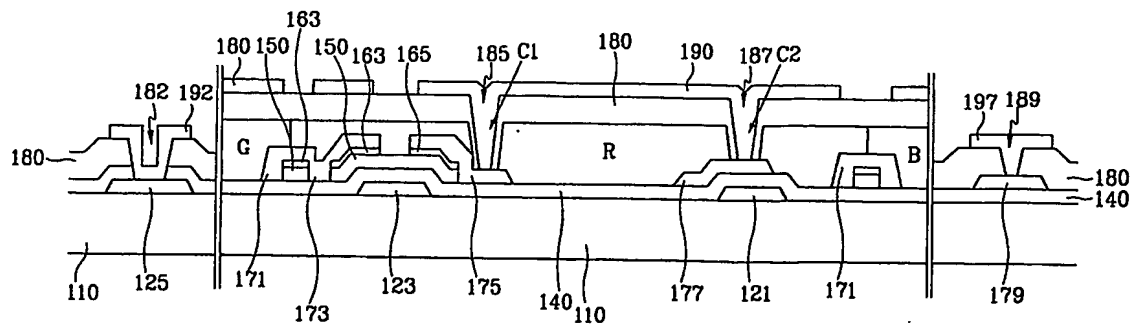
【도 17c】



【도 18】



【도 19】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.